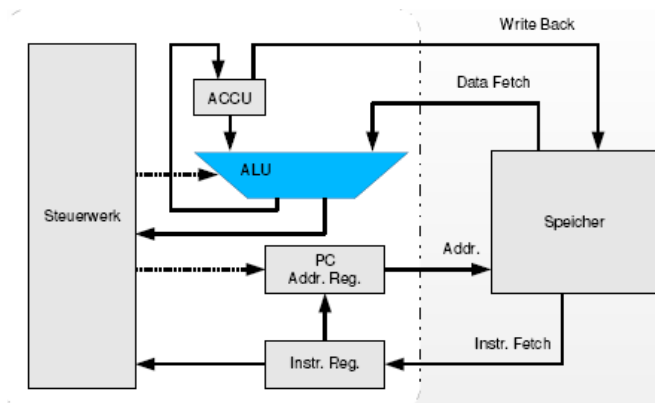


1. CPU-Blockschaltbild:



2. Was ist der Unterschied zwischen Makro- und Mikrobefehl?

Ein Makrobefehl (=Maschinenbefehl) besteht aus einer Sequenz von 1..n Mikrobefehlen, die wiederum aus einer Reihe von Pikobefehlen bestehen.

3. Je 2 Bsp. Architekturen zu SIMD und MIMD

SIMD: Vektorrechner

VLIW-Prozessoren (very large bzw. long instruction word)

Die **MMX-Einheit**

MIMD: Transputer

Sega Spielconsole

Cray T3D

4. 4 CPU Architekturen nach dem Registerzugriff (Akku maschiene, Adress..)

???

5. Welches Problem löst Buffered write through zum normalem write through

Cache

Beim normalen Write Trough werden die Daten an den Cache gerichtet und werden in einem Durch gleich zum Hauptspeicher weitergereicht. Problem hierbei ist allerdings die Geschwindigkeit des Hauptspeichers der ja langsamer ist als der Cache.

Dieses Problem wird mit Buffered Write Trough behoben: Es wird ein Pufferspeicher verwendet der die Daten zwischenspeichert bis sie in den Hauptspeicher geladen sind d.h. die CPU muss nicht warten.

6. Aufgabe des Compilers bei VLIW?

Compiler gruppiert parallelisierbare Befehle zu breiten "very large instruction words"

7. Was steht außer der Performance Im Benchmark Ergebnis?

Vergleich von Leistungsgrößen

Tests spezieller Hardware oder Software

Verbesserungsmöglichkeiten

Vergleich von Rechensystemen

Benchmarks messen implizit auch Compiler, Software-Aufbau, Code-Optimierung, etc.

8. Was ist ein Benchmark

Programme die Anforderungsprofile repräsentieren
z. B. für Datenbanken, wissenschaftliche Berechnungen,
Server-Dienste, etc.

9. Unterschied zwischen HW-Software Monitor

Softwaremonitore: Sind spezielle Messprogramme die in die Software des zu beobachtenden Systems eingebettet sind.

Hardwaremonitore: Sind elektronische Messinstrumente die mit Messfühlern (probes) an internen Kontaktpunkten Zustände (Spannungswerte) des Systems untersuchen.

10. Was ist ein Pikobefehl

Pikobefehle wirken auf Betriebsmittel(Verweis auf Frage 2)

11. Vorteile von IC's gegenüber herkömml. Schaltungen

schneller, komplexer, verlässlicher

Es können kleinere & mehr Strukturen auf einen IC gebracht werden.

12. 4 Arten die Verlustleistung von CPUs zu verringern

Serienschaltungen von Transistoren reduzieren den Leckstrom um den Faktor 5-10

Funktionsblöcke können mit Transistoren schnell deaktiviert und isoliert werden, wenn sie nicht benötigt werden.

Man kann den gesamten Transistor negativ aufladen. Er wird langsamer aber auch sparsamer.

Bei Bedarf kann er wieder in den "fast mode" gebracht werden.

Bessere Isolierungen (High K dielectric) können die Tunnelströme verringern.

Niedrigere Spannungen (auch nur für einzelne Teile des Chips und auch abhängig von der Last der CPU) reduzieren die Verlustleistung und die Leckströme.

Multithreaded Prozessoren und intelligentes Caching sparen Energie, weil keine größeren unproduktiven Wartezeiten entstehen.

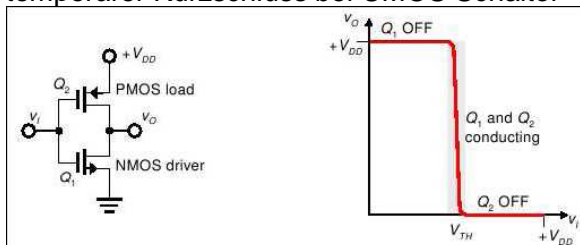
13. Ist ein DSP in öffentlichen Netzen anfällig für Buffer overflow Attacken Wenn

ja/nein warum/warum nicht?

???

14. CMOS dynamische Verlustleistung warum?

temporärer Kurzschluss bei CMOS Schalter



Dynamischer Verbrauch: $P_{dynamic} \sim V_{cc}^2 \times C \times f + P_{short}$

V_{cc} = Kernspannung des Prozessors

C = Kapazität die geschaltet wird (d. h. die Summe dergeschalteten Gatter)

f = Frequenz des Prozessors

$P_{(hort)}$ = Verlustleistung durch temporäre Kurzschlüsse

15. Refresh warum und wozu?

Bei den dynamischen Speicherbausteinen erfolgt die Speicherung eines Bits durch eine Kondensatorladung. Beim Schreiben wird der Kondensator über die Spaltenleitung entweder geladen (logisch 1) oder entladen (logisch 0). Beim Lesen wird der Speicherkondensator über die Spaltenleitung an Masse gelegt, sodass eine allfällig vorhandene Ladung (d. h. gespeichertes '1'-Bit) abfließt. Da die Speicherkondensatoren durch unvermeidliche Leckströme ihre Ladungen (und damit auch die in ihnen gespeicherte Information) im Laufe der Zeit verlieren, müssen bei einem DRAM diese Kondensatoren in regelmäßigen Abständen nachgeladen werden (**Refresh**). Dabei wird jede Speicherzelle gelesen und gleich darauf wieder mit dem selben Wert (also logisch 0 oder 1) beschrieben.

16. 4 Charakteristika des RISC

"Wenige", aber dafür schnelle Befehle

1 Befehl pro Takt (Durchsatz!)

Die häufigsten Befehle sind implementiert, weniger häufige nicht
Steuerwerk in Hardware

nur der LOAD und der STORE Befehl greift auf den Speicher zu. Alle anderen Befehle müssen mit Registern auskommen

"Große" Anzahl an Registern, bzw. ganze Registerbänke

17. 4 Typ. μ C Externe Pins

UART-Pins

A/D-Wandler

I/O Pins

(Parallele Schnittst.)

Serielle Schnittstelle

VCC

Ground

Reset

IRQ

18. Vorteile von asymmetrischen Multiprozessoren?/Vorteile von asynchronen Prozessoren?

Asymmetrische Dual Core: unterschiedliche cores

Mobilgerät: Betriebssystem, GUI, Webdienste & DSP Funktionen notwendig

Mit asymmetrischem dual core machbar

bei asymmetrischen Implementierungen werden CPU Cores verschiedener Architekturen mit meist ganz verschiedenartigen Befehlssatz, Speichermodell und Taktfrequenz verwendet.

Asynchroner Prozessor: kein Takt, sondern asynchronehandshake-Leitungen

Bei einem synchronen Prozessor muss die Taktrate entsprechend der längsten Laufzeit gewählt werden. Das asynchrone Design ist im Prinzip das maximal mögliche, wenn man die Verzögerungszeiten betrachtet

19. 2 Gründe für das flushen einer Pipeline während Programmablauf

Nach einer Unterbrechung des sequentiellen Programmablaufs (durch Subroutine od. Interrupt), *da die bereits geladenen Befehle nicht mehr ausgeführt werden sollen und andere anstatt geladen.*

20. VT und NT der Mikroprogrammsteuerung

VT: komplexere befehle leichter zu implementieren, möglichkeit, das instruction set zu ändern. annäherung an höhere sprachen (CISC)

NT: langsamer als "hard wired", teurer

21. 4 Typische ALU Flags

C- (Carry-) Bit: Übertrag, die (n+1)-te Stelle des Ergebniswortes

V- (Overflow-) Bit: Die Berechnung ist aus dem Zahlenbereich geglitten

Z- (Zero-) Bit: das Ergebnis ist null

N- (Negative-) Bit: das Vorzeichen des Ergebnisses

H- (Half Carry-) Bit: Übertrag zwischen den beiden nibbles, wird für BCD (binary coded decimal) Rechnungen benötigt

P- (Parity-) Bit: Parität, ein einfacher Fehlererkennungscode

22. 3 Stufige Pipeline auf Zeichnen bis Fetch 5

	F1	D1	E1	W1	F4	D4	E4	W4	
		F2	D2	E2	W2	F5	D5	E5	W5
			F3	D3	E3	W3			

F...Fetch D...Decode E...Execute W...Write Back

23. 2 Aspekte der Semantischen Lücke bei von Neumann

der von Neumann-Rechner ist nicht in der Lage, die von der auf ihm implementierten höheren Programmiersprache verwendeten Typen-Attribute für Datenobjekte zu erkennen und zu verarbeiten.

Eine weitere semantische Lücke zwischen dem von Neumann-Rechner und der verwendeten höheren Programmiersprache besteht in den prinzipiell *uneingeschränkten Zugriffsmöglichkeiten* des von Neumann-Rechners auf jedes beliebige Speicherobjekt. Diesem muß dafür nur die entsprechende Speicheradresse in einer Instruktion übergeben werden. Dadurch ist der Rechner nicht in der Lage unerlaubte Zugriffe zu verhindern (wie z. B. das Erkennen von nicht-initialisierten Variablen oder das Referieren von nicht definierten Elementen). Ein von Neumann-Rechner speichert Daten und Befehle in ein und derselben Art ab: als Bitketten. Wenn hier Dinge durcheinander geraten, kann ein Prozessor mitunter Daten als Befehle missverstehen (ein Grundprinzip vieler Computerviren oder Hack-Strategien) und umgekehrt.

24. Was sind Virtuelle Speicher?

Mangel an Hauptspeicher

Auslagerung auf Massenspeicher

Reservierter Adressbereich des Massenspeichers als Hauptspeicher ansprechbar

Werden mehrere Benutzerprogramme (Tasks) gleichzeitig auf einem Computer ausgeführt, übersteigt der Speicherbedarf sehr schnell die Kapazität des tatsächlich vorhandenen Hauptspeichers. Dies wird durch die große Menge an Code und Daten verursacht. Im Hinblick auf die schon erwähnte Speicherhierarchie können die umfassenden Ressourcen der vielen Tasks in einem kapazitätstarken Hintergrundspeicher (zum Beispiel auf der Festplatte) abgelegt sein, während im Hauptspeicher mit der geringeren Kapazität zur Laufzeit nur die unmittelbar benötigten Daten und Befehlssequenzen in Evidenz gehalten werden. Wenn man mit einer gut organisierten Steuerung dafür sorgt, dass die notwendigen Informationstransfers zwischen den Hintergrundspeichern und dem Hauptspeicher autonom und für den Anwender unsichtbar abgewickelt werden, entsteht der Eindruck eines virtuellen Speichers, dessen Kapazität weit über jene des eigentlichen Arbeitsspeichers hinausgeht. Die dazugehörige Organisation wird dementsprechend als virtuelle Speicherverwaltung bezeichnet.

25. Reihe die Schritte der Waferproduktion chronologisch: belichten, entwickeln, ätzen, dotieren

Belichten

Entwickeln

Ätzen

Dotieren

26. Vorteil der Thumb-Erweiterung des ARM?

Quasi 16 Bit ISA

RISC aufgrund einfacher Befehle sehr speicherhungrig

im embedded Bereich ein Problem

aufwändige, händische Code-Optimierung: 10-20% Ersparnis

komprimierter Code kostet Performance

Thumb-Befehle halb so lang wie normale ARM

Ausführen in 32 Bit Kern via "Dekompressor"-Übersetzung ohne Zeitverlust

27.4 Aufgaben der MMU?

Übersetzen der logischen Adressen in physikalische Adressen

Übertragung der physikalischen Adressen in den Cache oder auf den externen Adress-Bus.

Hardwareunterstützung für **Virtual Memory** und normales Paging in der **Paging Unit**

Hardwareunterstützung für **Segmente**

Unterstützung für **Memory Protection**

Implementierung des **Translation Lookaside Buffers** (auch **Address Translation Cache** genannt)

evtl. Unterstützung der Cache-Verwaltung (z. B. bei 68030 und darüber)

evtl. DRAM Refresh

28. Welcher Prozessor ist für Server besser geeignet, einer mit feiner oder grober Parallelisierung?

Grober

Compilat noch immer sequentiell (von-Neumann Erbe...) und daher nicht beliebig parallelisierbar.

Threads, Prozesse, Multi-Client queries etc. sind wirklich parallel

29.2 Lösungen für Pipeline-Recoursenkonflikte

Solche Datenkonflikte können entweder in Hardware, oder in Software gelöst werden.

Die Softwarelösung vertraut auf schlaue Compiler

Die Hardware Lösung wälzt das Problem auf den Prozessor ab. Der Prozessor hat hier 2 prinzipielle Möglichkeiten.

interlocking: die Pipeline partiell anhalten. Entspricht NOPs.

forwarding: einen "bypass" für Daten schaffen. Das Resultat, auf das gewartet wird, wird nicht erst umständlich in das Zielregister geschrieben, sondern wird zusätzlich gleich in der Pipeline an den wartenden Befehl weitergeleitet.

30. Ein Big Endian Rechner speichert 0xABCD1234, Was liest ein Little Endian Rechner an dieser Stelle 0x.... ?

0x3412CDAB

31. Wozu dient der Translation Lookaside Buffer?

TLBs (Translation Lookaside Buffer) unterstützen die Verwendung von virtuellem Speicher indem sie die letzten "translations" speichern. Diese TLBs sind kleine voll-assoziative Caches für die Übersetzung von logischem auf physikalischem Adressraum.

32. Unterschied zwischen pages und segments?

Betriebssystem portioniert den Hauptspeicher

Unterräume mit festen Größen: Man spricht hier von Seiten bzw. **pages** (Software-bezogen) oder von **frames** und Kacheln (Hardware-bezogen), wobei die begrifflichen Abgrenzungen oft nicht beachtet werden.

Unterräume mit unterschiedlichen (variablen) Größen: Man spricht hier von **Segmenten**.
Problem: Fragmentierung

33. 4 wichtige Unterschiede zwischen DRAMS und SRAMS?

SRAMS:	DRAMS:
Speicher: Flip-Flops	Speicher: Kondensatorladung
6 Transistoren	1 Transistor
verlustloses Lesen	Zerstörendes Lesen -> Write after Read notwendig
schnell, Matrix,	Einfacher Aufbau -> hoch integrierbar
teuer, aufwändig	Leckströme -> Refresh notwendig

34. Wann werden bei DDRSDRAM Daten übergeben?

DDR SDRAM - Double data rate

Taktleitung, automatisches Weiterzählen der Adresse alle zwei Taktflanken genutzt

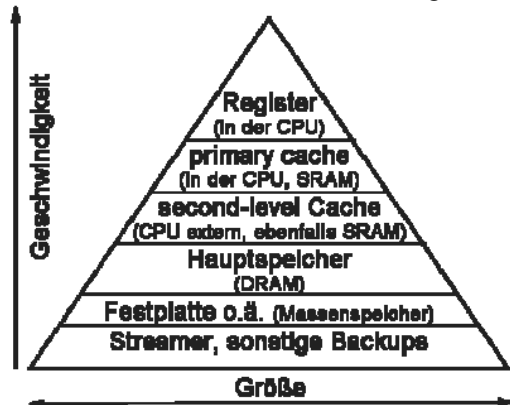
35. Welches Problem löst Interleaving bei DRAM?

Write after Read DRAM Problem entschärft!

36. Programmspeichergröße und Taktrate einer typischen Smart Card?

32 Bit, 66 MHz, 1 MByte EEPROM und mehr

37. Welche hierarchischen Ebenen gibt es beim Speicher eines μ -C und warum?



Schnelle Speicher sind teuer und werden daher für geringe Speicherkapazitäten verwendet. Billige Speicher sind langsam aber preislich für Massenspeicher akzeptabel und werden daher für große Speicherkapazitäten verwendet.

38. Unterschied zwischen μ -C und μ -P?

μ P = Mikroprozessor:

Mikroprozessor besteht aus Registern, einem Rechenwerk (ALU), Befehlsdecoder sowie Steuerwerk. Zur Erhöhung der Rechengeschwindigkeit können Prozessoren mit Caches, Hardwaremultiplizierer, Floatingpoint Unit, ... ausgestattet sein.

Alle μ Ps sind interruptfähig.

μ C = Mikrocontroller:

μ Cs bestehen aus einem μ P, Speicher und zusätzlicher Peripherie wie Timer, ADC, I/O Controller, PWM-Units, Watchdog, UART, und sind hauptsächlich Steuerungszwecke gedacht.

39. Unterschied zwischen static und dynamic scheduling beim Auflösen von Pipeline Steuerkonflikten.

load Reg1, A

load Reg2, B

load Reg3, C

jumpif Reg3, DestAddr

Da der vierte Befehl vom dritten abhängt, muss er im Prinzip warten, bis der dritte abgearbeitet ist (durch interlocking. Die Pipeline bekommt dadurch wieder "bubbles"). Software-Möglichkeiten, diese und ähnliche Situationen zu entschärfen, sind:

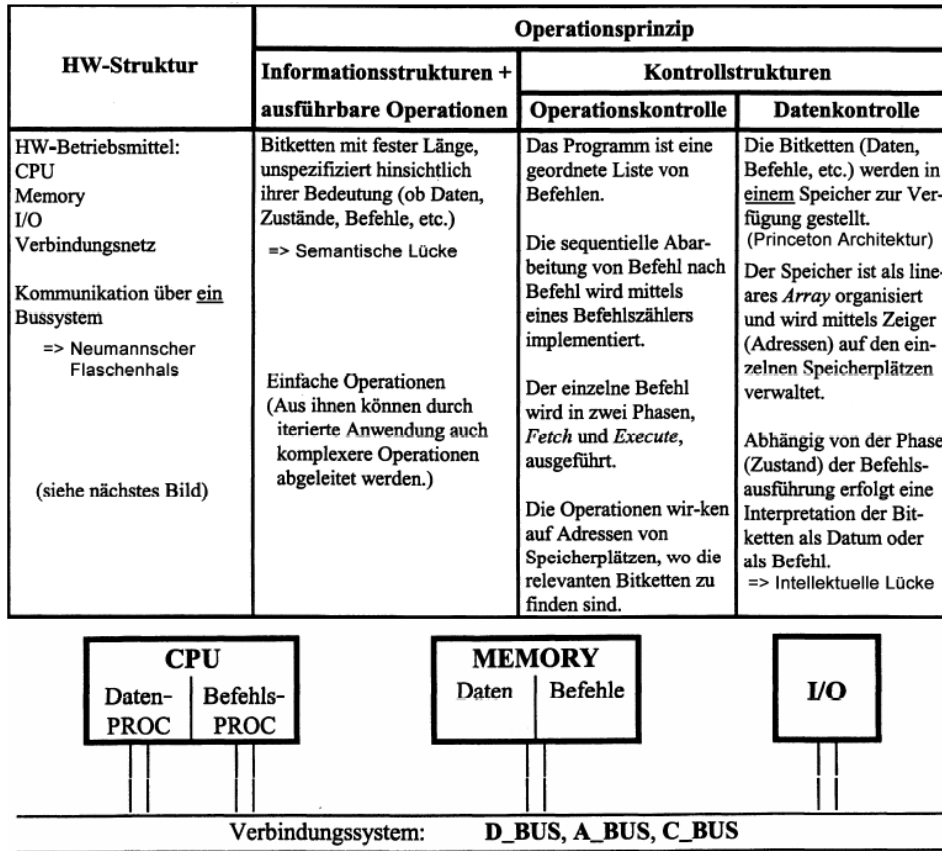
static scheduling: Der Compiler vertauscht Befehl 3 mit Befehl 1.

Der Prozessor lädt immer Blöcke von Befehlen auf einmal und sortiert diese um (dynamic scheduling, die HW-Version des static scheduling).

40. Welchen Anteil der Verlustleistung erhöht asynchrones Mikroprozessordesign, welchen verringert es?

???

41. Charkaterisik der „Von Neumann“ Architektur.



42. Was ist das Minimalitätsprinzip?

Minimalitätsprinzip bedeutet eine Beschränkung auf das aller notwendigste. Jegliche unnötige Funktionalität wird vermieden. *Minimalprinzip angewandt auf den Universalcomputer würde dem von Neumann Konzept entsprechen.*

43. Warum haben neuronale Netze keinen „von Neumannschen“ Flaschenhals?

Wie der Name schon vermuten lässt sind die einzelnen „Funktionseinheiten“ neuronaler Netze netzförmig miteinander verbunden und müssen sich nicht wie bei einer Neumannschen Architektur einen Bus teilen.

44. Vollständiger Interruptzyklus -> was macht CPU (Register, etc.)

- Befehlszählerstand u. Programmstatuswort auf den Stack retten
- Register und AKKU auf dem Stack ablegen
- Befehlszähler auf ISR- Einsprung-Adresse setzen, Programmstatus zurücksetzen
- ISR abarbeiten
- Befehlszählerstand und Programmstatus vom Stack zurückschreiben
- Register, AKKU vom Stack holen
- „normale“ Programmabarbeitung fortsetzen

45 4 Möglichkeiten der Leistungsbeurteilung?

_ Auswerten von Hardwaremaßen und Parametern (HW-Ressourcen, Operationszeiten, Kernprogramme). Dynamische Betriebsverhalten (z.B. *Parallelverarbeitung, Speicherverwaltungsroutinen*) wird NICHT berücksichtigt.

_ Laufzeitbestimmung mit bestehenden Programmen (synthetische Programme, Benchmarks).

_ Messungen im Betrieb bei bestehenden Anlagen

HW-Monitore (*erfordern Eingriff in Rechner-HW, bedeuten aber keine zusätzliche Arbeitslast*)

SW-Monitore (*kurze Programmsegmente, die immer wieder aufgerufen werden und das Messergebnis etwas verfälschen.*)

_ Modelltheoretische Verfahren (Analytische Modelle, Simulationen)

46 4 Vorteile eines Schichtenmodells?

_ Schichtmodelle erzwingen eine strukturierte (geordnete) Vorgehensweise und prägen das Problemverständnis.

_ Schichtenmodelle unterstützen die systematische Gliederung und Verteilung von Entwicklungsaufgaben (Grundlage für das Arbeiten in Teams).

_ Schichtenmodelle erleichtern die Erkennung von Entwurfsfehlern, von Fehlern im Betrieb (Wartung) und nicht zuletzt auch die Durchführung von gewünschten Systemerweiterungen (Systempflege).

47 Warum ist 500MHz DSP bei graphischen Aufgaben schneller als ein 2GHz P4?

DSPs besitzen mehrere Rechenwerke (ALUs). Rechenwerk ist speziell auf die Berechnung von $A^* = A + B \times C$ in einem Taktzyklus ausgelegt. Darüber hinaus wird bei DSPs massiv auf Parallelverarbeitung gesetzt. Kein Overhead durch Schleifen wird durch eigene HW loop-Stacks beseitigt.

48. Hauptvorteil eines Intel 80x86 gegenüber dem Motorola
Kompatibilität der verschiedenen μ Prozessor Generationen.49 Wie kann zwischen Speicher und E/A Controller Daten ausgetauscht werden?
Entweder über DMA (direct memory access) Controller oder über den Prozessor.

50. Wie funktioniert assoziativer Speicher?

Die Selektion eines Speicherplatzes erfolgt durch Suchen und Finden vorgegebener Bitmuster (symbolischer Name) in einem abgegrenztem Speicherfeld. Dabei werden Komparatoren eingesetzt.

Es ist ein Maskenregister vorgesehen, um Bitoperationen individuell auswählen zu können. Im Vergleichsregister steht das Bitmuster, nach dem gesucht werden soll. Im Speicherfeld werden dann die Ist-Bitmuster verglichen und zeilenweise ausgewertet. Im Trefferregister werden die Ergebnisse (hit/miss) eingetragen und eine Auswertelogik legt dann fest, welches Wort im Datenfeld des Speichers für den Aufruf relevant ist.

51. Wie funktioniert assoziativer Speicher?

Die Selektion eines Speicherplatzes erfolgt durch Suchen und Finden vorgegebener Bitmuster (symbolischer Name) in einem abgegrenztem Speicherfeld. Dabei werden Komparatoren eingesetzt.

Es ist ein Maskenregister vorgesehen, um Bitoperationen individuell auswählen zu können. Im Vergleichsregister steht das Bitmuster, nach dem gesucht werden soll. Im Speicherfeld werden dann die Ist-Bitmuster verglichen und zeilenweise ausgewertet. Im Trefferregister werden die Ergebnisse (hit/miss) eingetragen und eine Auswertelogik legt dann fest, welches Wort im Datenfeld des Speichers für den Aufruf relevant ist.

Zwischen den einzelnen Zeilen eines sets wird mittels assoziativen tag-Vergleichs ausgewählt.

52. Welche 2 Arten der Vektoradressierung gibt es?

_ Tabellarische Zuordnung zw. den logischen und den physikalischen Adressen (*indirekte Adressierung*)

_ Abbildung nach linearer Funktion $y = k * x + d$

y... physikalische Adresse x, d... Teile der logischen Adresse

k...Parameter (meist eine 2er Potenz)

(hierunter fallen direkte, relative, segmentierte, indizierte,... Adressierung)

53. Vergleiche Vektor- und Superskalarprinzip.

Vektorverarbeitung:

Gleichartige Datenelemente werden von einem Befehl gleichzeitig bearbeitet. Es kann hier Verarbeitungszeit eingespart werden, da ein Befehl nur einmal geladen werden muss und dann mit allen mehreren vorhandenen Datenelementen parallel ausgeführt werden kann. Hierfür muss eine entsprechende Anzahl von EXE-Units vorhanden sein.

Superskalare Verarbeitung:

Alle Hardwareeinheiten zur Befehlsabarbeitung sind mehrfach vorhanden. Welche Befehle tatsächlich parallel bearbeitet werden, muss durch Daten- u. BefehlsABHÄNGIGKEITSanalysen ermittelt werden.

54. Wieviele Zeiger braucht FIFO und FILO?

FIFO: 2 Zeiger sind notwendig

LIFO: 1 Zeiger genügt

55. Wozu dient ein Interrupt Controller

Zum Auflösen mehrerer Interrupts. Von jeder Interruptquelle wird eine individuelle Interrupt-Request-Leitung zum Interruptcontroller geführt und je nach Ausstattung des Prozessors mit codiertem od. uncodierten Interrupteingängen hat der Baustein entweder nur einen Interrupt-Level zuzuordnen oder gegebenenfalls auch noch die Prioritätenfrage zu entscheiden.

56. Bei welchen Speicherarten ist Interleaving möglich?

DRAM, Harddisk

57. Welche Daten gibt es neben den Nutzdaten beim Cache?

Neben dem FRAME der sie eigentlichen Nutzdaten enthält, gibt es zu jedem FRAME auch einen TAG, der organisatorische Daten enthält und die Referenz zur entsprechenden Hauptspeicheradresse herstellt. Zusätzlich gibt es (optional?) noch einige Markierungsbits zur Frameverwaltung, wie etwa valid bit, das die Gültigkeit des jeweiligen Eintrags angibt, oder etwa dirty bit, welches signalisiert, dass ein Schriebzugriff auf die Daten erfolgt ist.

58. 2 Hauptaufgaben von Semaphoren?

_ Synchronisieren von parallelen *Prozessen* (z.B. *Prozesse sollen unter einer bestimmten Bedingung (gegeben durch Semaphor) auf einander warten*)

_ gegenseitiger Ausschluss (mutal exclusion) beim Zugriff mehrerer Prozesse / Prozessoren auf gemeinsame Betriebsmittel. *Mit anderen Worten: Das Ermöglichen eines exklusiven Zugriffs mehrerer Prozesse auf eine gemeinsam genützte Ressource.*